

# Method of enhancing the withstand voltage of a multilayered semiconductor device.

Patent Number: ☐ EP0419898, A3, B1  
 Publication date: 1991-04-03  
 Inventor(s): SCHULZE HANS-JOACHIM DR (DE); MITLEHNER HEINZ DR (DE)  
 Applicant(s): SIEMENS AG (DE)  
 Requested Patent: ☐ JP3120724  
 Application Number: EP19900117012 19900904  
 Priority Number(s): DE19893932489 19890928  
 IPC Classification: H01L21/225; H01L21/263; H01L21/266; H01L21/331; H01L21/332; H01L29/167; H01L29/32  
 EC Classification: H01L21/22D, H01L21/263  
 Equivalents:  
 Cited Documents: DE2738152; US4043837; US4792530; US4177477

## Abstract

To enhance the dielectric strength of a semiconductor device which comprises a sequence of semiconductor layers (1 to 4) of alternating conduction types and to which a voltage is applied which biases at least one of the pn junctions (7) separating the layers from one another in the reverse direction, the carrier lifetime is reduced only in the lateral region (LBr) of the peripheral termination (12) of said p-n junction (7) by irradiation (14) with electrons or protons or by introducing atoms having recombination

properties.



Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-120724

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月22日

H 01 L 21/322  
21/331  
29/73  
29/74

L 7738-5F

F 7013-5F  
B 7013-5F  
8225-5F

H 01 L 29/72

審査請求 未請求 請求項の数 10 (全5頁)

⑮ 発明の名称 多層半導体デバイスの耐電圧強度向上方法

⑯ 特 願 平2-253988

⑰ 出 願 平2(1990)9月21日

優先権主張 ⑱ 1989年9月28日 ⑲ 西ドイツ(DE) ⑳ P3932489.3

㉑ 発 明 者 ハンスヨアヒム、シュ ドイツ連邦共和国オットーブルン、オットーシュトラッセ  
ルツエ 60エフ

㉒ 発 明 者 ハイッツ、ミットレー ドイツ連邦共和国ミュンヘン40、ホーエンツォレルンシュ  
ナー トラーセ104

㉓ 出 願 人 シーメンス、アクチエ ドイツ連邦共和国ベルリン及ミュンヘン(番地なし)  
ンゲゼルシャフト

㉔ 代 理 人 弁理士 富 村 潔

明 細 書

1. 発明の名称 多層半導体デバイスの耐電圧  
強度向上方法

2. 特許請求の範囲

1) 導電形が交互に変わる一連の半導体層  
(1~4)が設けられ、これらの半導体層が  
p n接合(7、8)により相互に分離され、  
また電極(5、6)がかぶせられ、p n接合  
のうちの少なくとも一つ(7)に逆方向にバ  
イアスをかける電圧がこれらの電極を経て供  
給される円板形半導体デバイスの耐電圧強度  
向上方法において、デバイスの中央領域  
(LBz)が照射マスク(15)により覆わ  
れ、バイアスをかけられるp n接合(7)の  
周縁(12)の領域(LBr)だけで、キャ  
リヤ寿命従って増幅率が荷電粒子(14)を  
照射することにより低減させられることを特  
徴とする多層半導体デバイスの耐電圧強度向  
上方法。

2) 電子による照射が行われることを特徴とす

る請求項1記載の方法。

3) 陽子による照射が行われることを特徴とす  
る請求項1記載の方法。

4) 半導体デバイスが荷電粒子による照射後に  
熱処理されることを特徴とする請求項1ない  
し3の一つに記載の方法。

5) 導電形が交互に変わる一連の半導体層  
(1~4)が設けられ、これらの半導体層が  
p n接合(7、8)により相互に分離され、  
また電極(5、6)がかぶせられ、p n接合  
のうちの少なくとも一つ(7)に逆方向にバ  
イアスをかける電圧がこれらの電極を経て供  
給される円板形半導体デバイスの耐電圧強度  
向上方法において、デバイスの中央領域  
(LBz)がマスク(18)により覆われ、  
バイアスをかけられるp n接合(7)の周縁  
(12)の領域(LBr)だけで、キャリヤ  
寿命従って増幅率が再結合特性を有する原子  
のマスクを用いた拡散及びそれに続く熱処理  
により低減させられ、マスクを用いた拡散が

被覆工程とそれに続く投連工程とから成ることを特徴とする多層半導体デバイスの耐電圧強度向上方法。

- 6) 被覆工程が、半導体デバイスの表面の直下にかつマスク(18)の外部に存在する半導体デバイス部分へ、再結合特性を有する原子をマスクを用いて注入することから成ることを特徴とする請求項5記載の方法。
- 7) 被覆工程が、マスク(18)により覆われていない半導体デバイス表面部分へ、再結合特性を有する原子をマスクを用いて析出することから成ることを特徴とする請求項5記載の方法。
- 8) 被覆工程が、金属層の形の再結合特性を有する原子の全面的な析出と、それに続く中央領域(LBz)上に存在する金属層部分の除去のためのホトリソグラフィによるエッチングパターン形成とから成ることを特徴とする請求項1記載の方法。
- 9) 導電形が交互に変わる一連の半導体層

3

向上方法に関する。

〔従来技術〕

導電形が交互に変わる一連の半導体層が設けられ、これらの半導体層がpn接合により相互に分離され、また電極がかぶせられ、pn接合のうちの少なくとも一つに逆方向にバイアスをかける電圧がこれらの電極を経て供給される円板形半導体デバイスの耐電圧強度向上方法は、ゲルラッハ(W. Gerlach)の著書「サイリスタ(Thyristor)」、ヘイバング(W. Heywang)及びミュラー(R. Mueller)編「半導体電子工学(Halbleiter-Elektronik)」全集の第12巻、シュプリングエル出版社、ベルリン、1979年、第151～159ページに記載されている。そこでは特に第4.22図及び第4.23図に円板形サイリスタが示され、サイリスタの縁が逆方向にバイアスをかけられるpn接合の領域でそれぞれ鋭角又は鈍角に斜めに切られている。この文献の第158及び159ページには他の方法が記載され、この方法では逆方向にバイアスをかけられるpn接合

5

(1～4)が設けられ、これらの半導体層がpn接合(7, 8)により相互に分離され、また電極(5, 6)がかぶせられ、pn接合のうちの少なくとも一つ(7)に逆方向にバイアスをかける電圧がこれらの電極を経て供給される円板形半導体デバイスの耐電圧強度向上方法において、デバイスの中央領域(LBz)がマスク(18)により覆われ、バイアスをかけられるpn接合(7)の周縁(12)の領域(LBr)だけで、キャリア寿命従って増幅率が再結合特性を有する原子のマスクを用いた注入とそれに続く回復工程とにより低減させられることを特徴とする多層半導体デバイスの耐電圧強度向上方法。

- 10) 再結合特性を有する原子がAu又はPt原子から成ることを特徴とする請求項5ないし9の一つに記載の方法。

### 3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、多層半導体デバイスの耐電圧強度

4

が平らに構成され、一つ又は複数の同心の電界制限リングが付加され、その際このリングがサイリスタの表面で分圧器のように働き、pn接合の非常に高い逆バイアス電圧まで表面破壊を防止するほど表面電界強さが低下する。

〔発明が解決しようとする課題〕

この発明の課題は、耐電圧強度の著しい向上を保証するような前記の種類の方法を提供することにある。

〔課題を解決するための手段〕

この課題はこの発明に基づき、デバイスの中央領域が照射マスクにより覆われ、バイアスをかけられるpn接合の周縁の領域だけで、キャリア寿命従って増幅率が荷電粒子を照射することにより低減させられることによるか、又はデバイスの中央領域がマスクにより覆われバイアスをかけられるpn接合の周縁の領域だけで、キャリア寿命従って増幅率が再結合特性を有する原子のマスクを用いた拡散及びそれに続く熱処理により低減させられ、マスクを用いた拡散が被覆工程とそれに

6

続く構造工程とから成ることによるか、又はデバイスの中央領域がマスクにより覆われ、バイアスをかけられるp-n接合の周縁の領域だけで、キャリア寿命従って増幅率が再結合特性を有する原子のマスクを用いた注入とそれに続く回復工程とにより低減させられることにより解決される。

#### 〔発明の効果〕

この発明に基づく方法は特に、簡単な方法ですなわち照射エネルギー及び照射線量の相応の調節によるか又は拡散時間及び拡散温度の相応の選択により、耐電圧強度の量的に調節可能な向上を可能にすることで優れている。特に耐電圧強度の一層の向上を達成するために、耐電圧強度を公知の方法により向上させた半導体デバイスに適用することができる。

請求項2、3、4、6、7、8、10にはこの発明に基づく方法の有利な実施態様が記載されている。

#### 〔実施例〕

次にこの発明に基づく耐電圧強度向上方法の三

7

間のp-n接合7は逆方向にバイアスをかけられる。他方では端子A、Kに電極5が電極6より更に負の電位となるような電圧が印加されると、層3と4との間のp-n接合8が逆方向にバイアスをかけられる。サイリスタの高い耐電圧強度を保证するために、p-n接合7、8の表面破壊がまず高い逆電圧の際に発生することを考慮しなければならない。この目的のためにサイリスタの縁は例えば第1図に示すように、上側主面9並びに下側主面10を出発点としてそれぞれ鋭角に斜めに切られている。それにより表面電界強さの低下が側方の境界面11内に存在する側方のp-n接合7、8の周縁12、13の領域で達成され、この低下によりこれらの個所での破壊の危険が低減される。

第1のこの発明に基づく方法によれば、側方周縁12、13の横の領域LBrにおいてだけキャリア寿命が電子照射により低減され、このことは第1図に矢印14により示されている。横の領域LBz従って半導体デバイスの中央領域を例えば

9

つの実施例を示す多層半導体デバイスの断面図により、この発明を詳細に説明する。

第1図には、ドーパされた半導体材料例えばシリコンから成る半導体基体を有するサイリスタが示されている。サイリスタは交互に変わる導電形の連続する四つの層を有する。これらの層のうちn導電形部分層1から成る層をnエミッタと、またp導電形層2をpベースと、またn導電形層3をnベースと、またp導電形層4をpエミッタと呼ぶ。pエミッタは導電性材料例えばAlから成るアノード側の電極5を備え、この電極は端子Aを有する。nエミッタはカソード側電極6を備え、この電極は部分層1に接触し端子Kを備える。図示の実施例の場合には電極6はまたエミッタ短絡部の形成のために層2に接触する。pベースに接触するゲート電極GEの端子Gは、サイリスタの点弧のためにそれ自体知られた方法で正の点弧電流パルスを加えられる。

電極5が電極6より更に正の電位となるような電圧が端子A、Kに印加されると、層2と3との

8

金属から成る照射マスク15により被覆することにより、例えば200μsから10μsへのキャリア寿命の低減が領域LBzの範囲内だけに生じることが達成される。それにより領域LBzの範囲内で電流増幅率 $\alpha_{np}$ も減少し、このことはこの領域における高められた耐電圧強度を結果としてもたらす。

電子照射の代わりに陽子による照射を行うこともできる。その際所定の照射エネルギー例えば10MeVの選択によりキャリア寿命を低減された薄い領域16が生じ、この領域が主面9から照射エネルギーに関係する距離を置いて主面9にほぼ平行に延びるという。特に垂直な層配列にとって重要な長所が得られる。完全なブレイクオーバー電圧を印加した場合に中立となるnベース領域の中に、従ってp-n接合7での逆バイアス電圧により形成される空間電荷領域の外部に、第1図に示す領域16を置くと、阻止方向における耐電圧強度の特に著しい向上が達成される。

逆方向における耐電圧強度を改善するために、

10

領域 17 におけるキャリア寿命を陽子照射により低減することが推奨され、その際この領域 17 は逆電圧を印加した場合に中立となる  $n$  ベース 3 の領域の中に、従って  $p-n$  接合 8 での逆電圧により形成される空間電荷領域の外部に置かれるのが有利である。

電子照射の際に領域  $L B r$  内部で均一に低減されるキャリア寿命に比べて、陽子照射により得られ主として符号 16 又は 17 で示され離散した領域に限られて低減されるキャリア寿命の長所は、照射により生じる再結合レートと空間電荷領域が存在する場合の自由なキャリアの発生レートとの間の改善された関係に基づき増幅率  $\alpha_{ps}$  が有効に低下することにある。

電子又は陽子による照射はカソード側からばかりでなくアノード側からも更に特に両側からも行うことができる。両側から行うことは両領域 16、17 を設けようとするときに特に合目的である。

第 2 図は第 1 図に示す層 1 ~ 4 を備えたサイリ

1 1

特性を有する原子を全面に金属析出し、続いて析出された金属層の領域  $L B z$  に相当する部分の除去のためにホトリソグラフィによるエッチングパターンを形成することにより、再結合特性を有する原子をマスクを用いて金属析出することから成ることができる。第 2 のこの発明に基づく方法のこの変形例の場合にも被覆工程には前記の浸透工程が続く。

領域  $L B r$  内のキャリア寿命の低減のための第 3 のこの発明に基づく方法では注入法が使用され、この注入法では再結合特性を有する原子が相応に増大された加速電圧を用いたイオン注入工程により補助的な浸透工程無しに領域  $L B z$  の外部に層 2 ~ 4 中へ導入され、続いて回復工程を受ける。この種の注入法は第 2 図に矢印 19 により示されている。そしてマスク 18 の除去の後に、第 1 図に示す必要な電極及び別の被膜が主面 9、10 上にかぶせられる。

第 3 図は、第 1 のこの発明に基づく方法のプレーナトランジスタへの適用を示す。プレーナト

1 3

スタを示し、その主面 9、10 はまだ電極及び金属化部を設けられていない。ここではキャリア寿命の低減又は両方の両端 12、13 の横の領域  $L B r$  における耐電圧強度の向上が第 2 のこの発明に基づく方法により行われる。その際まず領域  $L B z$  が例えばレジスト、酸化物又は金属から成るマスク 18 により覆われる。レジストマスク 18 が用いられると、このマスクはそれ自体知られたホトリソグラフィ工程を用いて主面 9 を当初完全に覆うレジスト層からパターン形成される。それに続くマスクを用いた拡散は、矢印 19 により示すように前記の種類の原子を主面 9 の直下にかつマスク 18 の外側にある  $p$  ベース 2 の部分の中へ注入すること、及び  $p$  ベースへ導入された原子が更に半導体基体中へ浸透される次の浸透工程から成り、浸透工程は例えば約 2 時間にわたり約  $800^{\circ}\text{C}$  にサイリスタを加熱することにより行われる。被覆工程は前記のマスクを用いた注入の代わりに、例えばマスク 18 を通り抜けて蒸着又はスパッタリングすることによるか、又は再結合

1 2

ランジスタは例えば  $n$  導電形層 20、層 20 に埋め込まれた  $p$  導電形層 21 及び層 21 にはめ込まれた  $n$  導電形層 22 から成り、これらの層はそれぞれコレクタ、ベース及びエミッタである。エミッタはエミッタ電極 23 を備え、コレクタはコレクタ電極 24 を備え、ベースはベース電極 25 を備え、その際これらの電極の端子は図を簡単化するために示されていない。第 1 の主面 26 は電極 23 と 25 の間で例えば  $S i O_2$  から成る不活性化層 27 を備える。トランジスタの中央領域  $L B z$  を覆う照射マスク 28 の被覆後に、矢印 29 により示す電子による照射が行われる。この照射はコレクタ 20 とベース 21 との間の  $p-n$  接合 31 の両端 30 の領域  $L B r$  にキャリア寿命の低減、従って電極 23、24 に印加されコレクタ電極 24 をエミッタ電極 23 より更に正の電位に置き  $p-n$  接合 31 に逆方向にバイアスをかける電圧に対するトランジスタの耐電圧強度の明らかな向上をもたらす。

第 1 のこの発明に基づく方法の実施態様によれ

1 4

ば、電子又は陽子を照射された半導体デバイスは、続いて例えば約10時間にわたり約220°Cの温度で熱処理される。それにより熱処理後に得られる半導体デバイスのパラメータが、運転中にすなわち比較的低い運転温度ではもはや変化しないことが達成される。

#### 4. 図面の簡単な説明

第1図及び第2図はそれぞれサイリスタにこの発明に基づく耐電圧強度向上方法の異なる実施例を適用する状態を示す断面図、第3図はプレーナトランジスタに方法の一実施例を適用する状態を示す断面図である。

1～4…半導体層

5、6…電極

7、8…pn接合

12…周縁

14…荷電粒子

15、18…マスク

LBz、LBz…領域

(6118) 代理人 非理士 高村

15

特許  
代理人  
高村  
非理士

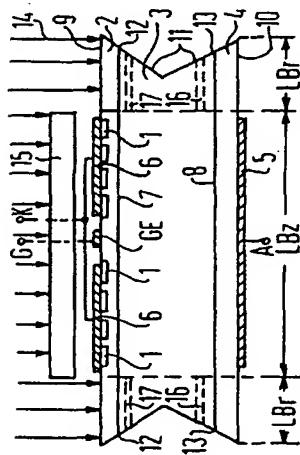


FIG 1

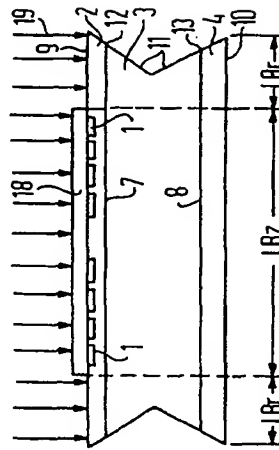


FIG 2

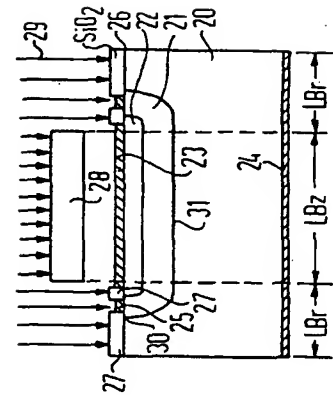


FIG 3